

G404US

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

#4

P. Ben

5/21/01

JC971 U.S. PTO

09/877037



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2001年 1月26日

出願番号  
Application Number:

特願2001-019243

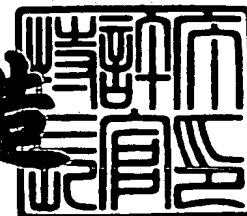
出願人  
Applicant(s):

三菱電機株式会社

2001年 2月23日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3010497

【書類名】 特許願  
 【整理番号】 527495JP01  
 【提出日】 平成13年 1月26日  
 【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/60

【発明者】  
 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
 社内  
 【氏名】 石田 多華生

【発明者】  
 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
 社内  
 【氏名】 塚原 良洋

【特許出願人】  
 【識別番号】 000006013  
 【氏名又は名称】 三菱電機株式会社

【代理人】  
 【識別番号】 100082175  
 【弁理士】  
 【氏名又は名称】 高田 守  
 【電話番号】 03-5379-3088

【選任した代理人】  
 【識別番号】 100066991  
 【弁理士】  
 【氏名又は名称】 葛野 信一  
 【電話番号】 03-5379-3088

【選任した代理人】  
 【識別番号】 100106150  
 【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 整合回路および半導体装置

【特許請求の範囲】

【請求項 1】 トランジスタの電気的特性を吸収する整合回路であって、該トランジスタの周囲の寄生容量が増減する方向と反対方向に増減する容量を有するキャパシタを備えたことを特徴とする整合回路。

【請求項 2】 前記寄生容量はトランジスタの周囲に形成された MIM 絶縁膜の膜厚変動に基づくものであり、前記キャパシタは寄生容量が増減する方向と反対方向に増減する MIM 容量を有するキャパシタであることを特徴とする請求項 1 記載の整合回路。

【請求項 3】 前記キャパシタをトランジスタの入力側に備えたことを特徴とする請求項 1 または 2 記載の整合回路。

【請求項 4】 トランジスタの入力側に備えられた前記キャパシタと並列に所定のバイアス回路を備えたことを特徴とする請求項 3 記載の整合回路。

【請求項 5】 前記キャパシタをトランジスタの出力側に備えたことを特徴とする請求項 1 または 2 記載の整合回路。

【請求項 6】 トランジスタの出力側に備えられた前記キャパシタと並列に所定のバイアス回路を備えたことを特徴とする請求項 5 記載の整合回路。

【請求項 7】 請求項 1 ないし 6 のいずれかに記載された整合回路を使用して製造されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は整合回路および該整合回路を使用して製造された半導体装置に関し、特に整合回路および該整合回路と同一基板上に形成された高周波応用での MMIC (Monolithic Microwave Integrated Circuits) に関する。

【0002】

【従来の技術】

携帯電話等の移動端末用途の移動体無線通信においては、取り扱う情報量の増

加に伴い通信速度および容量の増大、すなわち通信周波数の高周波化が要求されている。通信周波数が高周波化されると、入出力部またはトランジスタ間の整合をとるために用いられる回路、すなわち整合回路の重要性が増加してくる。その理由は、この整合回路を構成するキャパシタの容量値またはインダクタのインダクタンス値、あるいはトランジスタの電気的特性が設計よりずれた場合、高周波回路の出力低下、効率低下、雑音増大および周波数帯域の変動等が引き起こされるためである。これは 30 GHz を超えるミリ波帯と呼ばれる周波数帯域において特に顕著となる。

## 【 0 0 0 3 】

ミリ波帯をはじめとする高周波帯域では、波長が短いためにトランジスタの極近傍に整合回路を形成する必要がある。しかし、半導体基板の外に整合回路を形成することは事実上不可能であるため、同じ基板上に整合回路を形成したモノリシックマイクロ波集積回路 (Monolithic Microwave Integrated Circuits : MMIC) が一般的である。ここで MMIC とは、個別の部品を組み立てて作製していたマイクロ波回路を 1 枚の半導体チップ上に形成したものである。

## 【 0 0 0 4 】

図 10 (A)、(B) は、従来の入力側整合回路例を 2 例示す。図 10 (A) において、符号 5 は入力端子、10、12 は線路、26 はトランジスタ、L1 はオープンスタブ (open stub) 容量 (線路 10 で構成される容量)、L2 は線路 12 の持つインダクタンスである。図 10 (B) において、符号 5 は入力端子、12 は線路、26 はトランジスタ、38 はキャパシタ、C1 はキャパシタ 38 で示される MIM 容量 (金属 : Metal - 絶縁膜 : Insulator - 金属 : Metal の 3 層で構成される容量)、L2 は線路 12 の持つインダクタンスである。符号 a はトランジスタ 26 の入力側から見たゲート・ソース間容量を示す点、c はインダクタンス L2 を含めて見た点、d はオープンスタブ容量 L1 を含めて入力端子 5 からみた点である。図 10 (A) および (B) に示されているように、MIM 容量を有するキャパシタ C1 等とトランジスタ 26 とは同一基板上にパターンレイアウトされる。

## 【 0 0 0 5 】

図11は、図10に示された入力側整合回路のスミスチャートを示す。図11で図10と同じ符号は同じ箇所を示すため説明は省略する。図11で、 $C_{gs}$ は簡単のためにトランジスタ26の入力側等価回路を代表させたゲート・ソース間容量である。図11に示されるように、設計段階においては入力端子5側からみたインピーダンスはゲート・ソース間容量 $C_{gs}$ 、インダクタンス $L_2$ およびオープンスタブ容量 $L_1$ またはMIM容量 $C_1$ の組み合わせにより $50\Omega$ を示すd点へとスミスチャート上を移動している。

【0006】

【発明が解決しようとする課題】

上述のようにMMICはMIM容量を有するキャパシタ $C_1$ とトランジスタ26とを同一基板上に形成するため、製法上どうしてもトランジスタ26の周囲に余分な絶縁膜（MIM絶縁膜）が形成され、これが寄生容量となりトランジスタの電気特性の変動要因となり得る。表1は、トランジスタ26の周囲にMIM絶縁膜が無い場合とある場合とにおけるトランジスタ26の入出力側寄生容量の比較を示す。

【0007】

【表1】

HEMTにおける例	トランジスタ26の周囲にMIM絶縁膜が無い場合	トランジスタ26の周囲にMIM絶縁膜がある場合
トランジスタ26の入力側容量 $C_{gs}$ [pF/mm]	0.73	0.89
トランジスタ26の出力側容量 $C_{gd}$ [pF/mm]	0.16	0.22

【0008】

表1に示されるように、トランジスタ26の入力側容量 $C_{gs}$  [pF/mm]は、トランジスタ26の周囲にMIM絶縁膜が無い場合は0.73 [pF/mm]であるが、トランジスタ26の周囲にMIM絶縁膜がある場合は0.89 [pF/mm]と増加する。トランジスタ26の出力側容量 $C_{gd}$  [pF/mm]は、トランジスタ26の周囲にMIM絶縁膜が無い場合は0.16 [pF/mm]であるが、トランジスタ26の周囲にMIM絶縁膜がある場合は0.22 [pF/mm]

／mm] と増加する。すなわち、MIM容量として用いられるMIM絶縁膜厚が製造上のバラツキにより変動すると、トランジスタ26の入出力側容量成分が変化し、整合点が変化して高周波回路の特性が変動することになる。この変動を入力側インピーダンスについて図11に示されるスミスチャートを用いて説明する。

図11において、MIM絶縁膜が厚くなった場合、トランジスタ26の入力側容量 $C_{gs}$ が増加し、このため設計上a点であったものがa'点へと移動し、インダクタンス $L_2$ によりc点がc'点へ移動し、オープンスタブ容量 $L_1$ またはMIM容量 $C_1$ の組み合わせで得られる入力側インピーダンスもまたd'点へ移動し、この結果、整合点からずれることになる。

【0009】

一方、MIM容量 $C_1$ を用いた整合回路の場合、MIM絶縁膜厚 $L$ とMIM容量 $C_1$ との間には、以下の式1で示される関係がある。

【0010】

【数1】

$$C_1 = \epsilon \cdot S / L \quad (1)$$

【0011】

ここで、 $C_1$ はMIM容量、 $\epsilon$ はMIM絶縁膜の誘電率、 $S$ はMIM容量 $C_1$ のパターンの面積、 $L$ はMIM絶縁膜厚である。式1で示されるように、MIM絶縁膜 $L$ が厚くなるとMIM容量 $C_1$ は小さくなるため、図11に示されるスミスチャート上では、入力側インピーダンスはさらにd''点へと移動してしまい、整合点からさらに大きくずれてしまうことになる。

【0012】

上述の説明は出力側インピーダンスにおいても入力側容量 $C_{gs}$ を出力側容量 $C_{gd}$ に読み替えれば同じように考えられる。すなわち、MIM絶縁膜厚 $L$ の変動により整合点からずれてしまうことになる。

【0013】

上述のように、従来の整合回路の構成では、製造上のバラツキによるトランジスタの周囲のMIM絶縁膜厚 $L$ の変動に対して、高周波回路の入出力インピーダンスが敏感に変動し、整合点がずれてしまうという問題があった。このため、高

周波回路の出力低下、効率低下、雑音増大および周波数帯域の変動等を引き起こし、トランジスタの電気的特性が製品毎に変動してしまうという問題があった。

【0014】

そこで、本発明の目的は、上記問題を解決するためになされたものであり、製造上のバラツキによるトランジスタの周囲のMIM絶縁膜厚Lの変動に対しても、高周波回路の出力低下、効率低下、雑音増大および周波数帯域の変動等を引き起こすことなく、トランジスタの電気的特性が製品毎に変動することのない整合回路および当該整合回路を使用した半導体装置を提供することにある。

【0015】

【課題を解決するための手段】

この発明の整合回路は、トランジスタの電気的特性を吸収する整合回路であって、該トランジスタの周囲の寄生容量が増減する方向と反対方向に増減する容量を有するキャパシタを備えたことを特徴とするものである。

【0016】

ここで、この発明の整合回路において、前記寄生容量はトランジスタの周囲に形成されたMIM絶縁膜の膜厚変動に基づくものであり、前記キャパシタは寄生容量が増減する方向と反対方向に増減するMIM容量を有するキャパシタとすることができる。

【0017】

ここで、この発明の整合回路において、前記キャパシタをトランジスタの入力側に備えることができる。

【0018】

ここで、この発明の整合回路において、トランジスタの入力側に備えられた前記キャパシタと並列に所定のバイアス回路を備えることができる。

【0019】

ここで、この発明の整合回路において、前記キャパシタをトランジスタの出力側に備えることができる。

【0020】

ここで、この発明の整合回路において、トランジスタの出力側に備えられた前



記キャパシタと並列に所定のバイアス回路を備えることができる。

【0021】

この発明の半導体装置は、この発明のいずれかの整合回路を使用して製造されたことを特徴とするものである。

【0022】

【発明の実施の形態】

以下、各実施の形態について図面を参照して詳細に説明する。

【0023】

実施の形態1.

上述の式1で示されるように、MIM絶縁膜厚Lが厚くなればトランジスタの入出力容量は増加するがMIM容量C1は減少する。一方、MIM絶縁膜厚Lが薄くなれば、逆にトランジスタの入出力容量は減少するがMIM容量C1は増加する。本願発明の特徴は、MIM絶縁膜厚Lの変動に対して逆の変動を示すMIM容量C1をトランジスタの入出力容量と組み合わせ、MIM絶縁膜厚Lの変動を自動的に吸収する点にある。

【0024】

図1は、本発明の実施の形態1における入力側整合回路を示す。図1において、符号5は入力端子、10、12は線路、26はトランジスタ、30はキャパシタ、L1はオープンスタブ容量、L2は線路12の持つインダクタンス、CAはキャパシタ30で示されるMIM容量である。符号aはトランジスタ26の入力側から見たゲート・ソース間容量を示す点、bはMIM容量CAを含めて見た点、cはインダクタンスL2を含めて見た点、dはオープンスタブ容量L1を含めて入力端子5からみた点である。図1に示される入力側整合回路と図10に示される従来の入力側整合回路との相違は、図10のAの部分にMIM容量CAを挿入した点である。

【0025】

図1において、例えば周波数 $f = 76 \text{ GHz}$ で、トランジスタ26のゲート・ソース間容量 $C_{gs} = 0.1 \text{ pF}$ の場合、MIM容量 $CA = 0.1 \text{ pF}$ 、インダクタンスL2の線路長 $= 95 \mu\text{m}$ 、オープンスタブ容量L1の線路長 $= 255 \mu\text{m}$

mとすると入力インピーダンスは $50\Omega$ となる。

【0026】

図2は、図1に示される回路の等価回路を示す。図2で図1と同じ符号を付した箇所は同じ要素を示すため説明は省略する。図2において符号32はMIM容量 $C_A$ とトランジスタ26のゲート・ソース間容量 $C_{gs}$ とを加えた容量のキャパシタである。上述のようにMIM絶縁膜厚 $L$ が厚くなるとトランジスタ26のゲート・ソース間容量 $C_{gs}$ は大きくなるが、MIM容量 $C_A$ は小さくなる。一方、MIM絶縁膜厚 $L$ が薄くなるとトランジスタ26のゲート・ソース間容量 $C_{gs}$ は小さくなるが、MIM容量 $C_A$ は大きくなる。このように、トランジスタ26のゲート・ソース間容量 $C_{gs}$ の変化をMIM容量 $C_A$ が打ち消すように変化する。

【0027】

図3は、入力インピーダンスについて上述の変化を説明するスミスチャートである。図3で図1と同じ符号を付した箇所は同じ要素を示すため説明は省略する。図3のスミスチャート上で、キャパシタ32の容量( $C_A + C_{gs}$ )を示すb点はMIM絶縁膜厚 $L$ の変動に対して変動が小さくなり、したがって入力側インピーダンスを示すd点の変動も小さくなる。ここでオープンスタブ容量 $L_1$ はMIM絶縁膜厚 $L$ に依らないものである。

【0028】

上述の構成は入力端子部のみならず2段アンプの段間等、回路のある点からトランジスタの入力側をみたインピーダンスにおいても有効である。

【0029】

以上より、実施の形態1によれば、MIM絶縁膜厚 $L$ の変動に対して逆の変動を示すMIM容量 $C_1$ をトランジスタの入力側に挿入しトランジスタの入力容量と組み合わせることにより、MIM絶縁膜厚 $L$ の変動を自動的に吸収することができる。すなわち、製造上のバラツキから生じるトランジスタ周囲のMIM絶縁膜厚 $L$ の変動によるトランジスタの電気特性変動を自動的に吸収する整合回路を実現することができる。

【0030】

## 実施の形態 2.

本実施の形態 2 では、上述の実施の形態 1 の整合回路の構成にバイアス回路を付加する。

## 【0031】

図 4 は、本発明の実施の形態 2 における整合回路を示す。図 4 で図 1 と同じ符号を付した箇所は同じ要素を示すため説明は省略する。図 4 において、符号 1 4 は線路、4 0 は抵抗、3 4 はキャパシタ、 $V_g$  はゲートバイアス端子、 $L_b$  は線路 1 4 のインダクタンス、 $R_b$  は抵抗 4 0 の抵抗値、 $C_b$  はキャパシタ 3 4 の容量である。図 4 に示されるように、インダクタンス  $L_b$ 、抵抗値  $R_b$  および容量  $C_b$  で構成されるバイアス回路を付加する。

## 【0032】

本実施の形態 2 における整合回路の動作は上述の実施の形態 1 における整合回路と基本的に同様である。図 5 は、入力インピーダンスについての変化を説明するスミスチャートである。図 5 で図 4 と同じ符号を付した箇所は同じ要素を示すため説明は省略する。図 5 に示されるスミスチャート上において、b 点が外側にあるほど、この回路は狭帯域となる。そこで、上述のインダクタンス  $L_b$ 、抵抗値  $R_b$  および容量  $C_b$  で構成されるバイアス回路を利用して b 点を b' 点へと内側に持ってくることにより、広帯域で動作することができる整合回路を得ることができる。

## 【0033】

これは入力端子部のみならず 2 段アンプの段間など、回路のある点からトランジスタの入力側をみたインピーダンスにおいても有効である。

## 【0034】

以上より、実施の形態 2 によれば、実施の形態 1 と同様に、製造上のバラツキから生じるトランジスタ周囲の MIM 絶縁膜厚  $L$  の変動によるトランジスタの電気特性変動を自動的に吸収する整合回路を実現することができる。さらにバイアス回路を付加することにより、製品上のバラツキから生じるトランジスタ周囲の絶縁膜厚変動によるトランジスタの電気特性変動の影響を受けにくく、かつ広帯域で安定な高周波回路を得ることができる。

## 【 0 0 3 5 】

実施の形態 3.

本実施の形態 3 では、上述の実施の形態 1 の整合回路の入力側構成要素を出力側に反転して配置した構成であり、実施の形態 1 においてトランジスタの入力側容量  $C_{gs}$  をトランジスタの出力側容量  $C_{gd}$  に置き換えた構成と同じである。

## 【 0 0 3 6 】

図 6 は、本発明の実施の形態 3 における整合回路を示す。図 6 で図 1 と同じ符号を付した箇所は同じ要素を示すため説明は省略する。図 6 において、符号 7 は出力端子であり、a 点ないし d 点は出力側から見た点が実施の形態 1 と異なっている。

## 【 0 0 3 7 】

図 7 は、図 6 に示される回路の等価回路を示す。図 7 で図 6 と同じ符号を付した箇所は同じ要素を示すため説明は省略する。図 7 において符号 36 は MIM 容量  $C_A$  とトランジスタ 26 のゲート・ドレイン間容量  $C_{gd}$  とを加えた容量のキャパシタである。上述のように MIM 絶縁膜厚  $L$  が厚くなるとトランジスタ 26 のゲート・ドレイン間容量  $C_{gd}$  は大きくなるが、MIM 容量  $C_A$  は小さくなる。一方、MIM 絶縁膜厚  $L$  が薄くなるとトランジスタ 26 のゲート・ドレイン間容量  $C_{gd}$  は小さくなるが、MIM 容量  $C_A$  は大きくなる。このように、トランジスタ 26 のゲート・ドレイン間容量  $C_{gd}$  の変化を MIM 容量  $C_A$  が打ち消すように変化する。

## 【 0 0 3 8 】

図 8 は、出力インピーダンスについて上述の変化を説明するスミスチャートである。図 8 で図 7 と同じ符号を付した箇所は同じ要素を示すため説明は省略する。図 8 のスミスチャート上で、キャパシタ 36 の容量 ( $C_A + C_{gd}$ ) を示す b 点は MIM 絶縁膜厚  $L$  の変動に対して変動が小さくなり、したがって出力側インピーダンスを示す d 点の変動も小さくなる。ここでオープンスタブ容量  $L_1$  は MIM 絶縁膜厚  $L$  に依らないものである。

## 【 0 0 3 9 】

これは出力端子部のみならず 2 段アンプの段間など、回路のある点からトラン

ジスタの出力側をみたインピーダンスにおいても有効である。

【0040】

以上より、実施の形態3によれば、実施の形態1の整合回路の入力側構成要素を出力側に反転して配置した構成においても実施の形態1と同様の効果を得ることができる。すなわち、MIM絶縁膜厚Lの変動に対して逆の変動を示すMIM容量C1をトランジスタの出力側に挿入しトランジスタの出力容量と組み合わせることにより、MIM絶縁膜厚Lの変動を自動的に吸収することができる。すなわち、製造上のバラツキから生じるトランジスタ周囲のMIM絶縁膜厚Lの変動によるトランジスタの電気特性変動を自動的に吸収する整合回路を実現することができる。

【0041】

実施の形態4.

本実施の形態4では、上述の実施の形態2の整合回路の入力側構成要素を出力側に反転して配置した構成であり、実施の形態2においてトランジスタの入力側容量C<sub>gs</sub>をトランジスタの出力側容量C<sub>gd</sub>に置き換えた構成と同じである。

【0042】

図9は、本発明の実施の形態4における整合回路を示す。図9で図4と同じ符号を付した箇所は同じ要素を示すため説明は省略する。図9において、符号7は出力端子であり、a点ないしd点は出力側から見た点の実施の形態2と異なっている。実施の形態2と同様に、インダクタンスL<sub>b</sub>、抵抗値R<sub>b</sub>および容量C<sub>b</sub>で構成されるバイアス回路を利用してスミスチャート上のb点をb'点へと内側に持ってくることにより、広帯域で動作することができる整合回路を得ることができる。

【0043】

これは出力端子部のみならず2段アンプの段間など、回路のある点からトランジスタの出力側をみたインピーダンスにおいても有効である。

【0044】

以上より、実施の形態4によれば、実施の形態2の整合回路の入力側構成要素を出力側に反転して配置した構成においても実施の形態1と同様の効果を得るこ

とができる。すなわち、製造上のバラツキから生じるトランジスタ周囲のMIM絶縁膜厚 $L$ の変動によるトランジスタの電気特性変動を自動的に吸収する整合回路を実現することができる。さらにバイアス回路を付加することにより、製品上のバラツキから生じるトランジスタ周囲の絶縁膜厚変動によるトランジスタの電気特性変動の影響を受けにくく、かつ広帯域で安定な高周波回路を得ることができる。

## 【0045】

上述された本発明のいずれかの整合回路を使用して半導体装置を製造することができる。ここで、整合回路はトランジスタの電気的特性を吸収する整合回路であって、そのトランジスタの周囲の寄生容量が増減する方向と反対方向に増減する容量を有するキャパシタを備えることができる。半導体装置はMMICであってもよく、あるいはMMICの一部であってもよい。

## 【0046】

## 【発明の効果】

以上説明したように、本発明の整合回路によれば、MIM絶縁膜厚 $L$ の変動に対して逆の変動を示すMIM容量 $C_1$ をトランジスタの入力側に挿入しトランジスタの入力容量と組み合わせることにより、MIM絶縁膜厚 $L$ の変動を自動的に吸収することができる。このため、製造上のバラツキによるトランジスタの周囲のMIM絶縁膜厚 $L$ の変動に対しても、高周波回路の出力低下、効率低下、雑音増大および周波数帯域の変動等を引き起こすことなく、トランジスタの電気的特性が製品毎に変動することのない整合回路および当該整合回路を使用した半導体装置を提供することができる。

## 【図面の簡単な説明】

【図1】 本発明の実施の形態1における入力側整合回路を示す図である。

【図2】 図1に示される回路の等価回路を示す図である。

【図3】 入力インピーダンスについての変化を説明するスミスチャートである。

【図4】 本発明の実施の形態2における整合回路を示す図である。

【図5】 入力インピーダンスについての変化を説明するスミスチャートで

ある。

【図 6】 本発明の実施の形態 3 における整合回路を示す図である。

【図 7】 図 6 に示される回路の等価回路を示す図である。

【図 8】 出力インピーダンスについての変化を説明するスミスチャートで

ある。

【図 9】 本発明の実施の形態 4 における整合回路を示す図である。

【図 10】 従来の入力側整合回路例を示す図である。

【図 11】 図 10 に示された入力側整合回路のスミスチャートである。

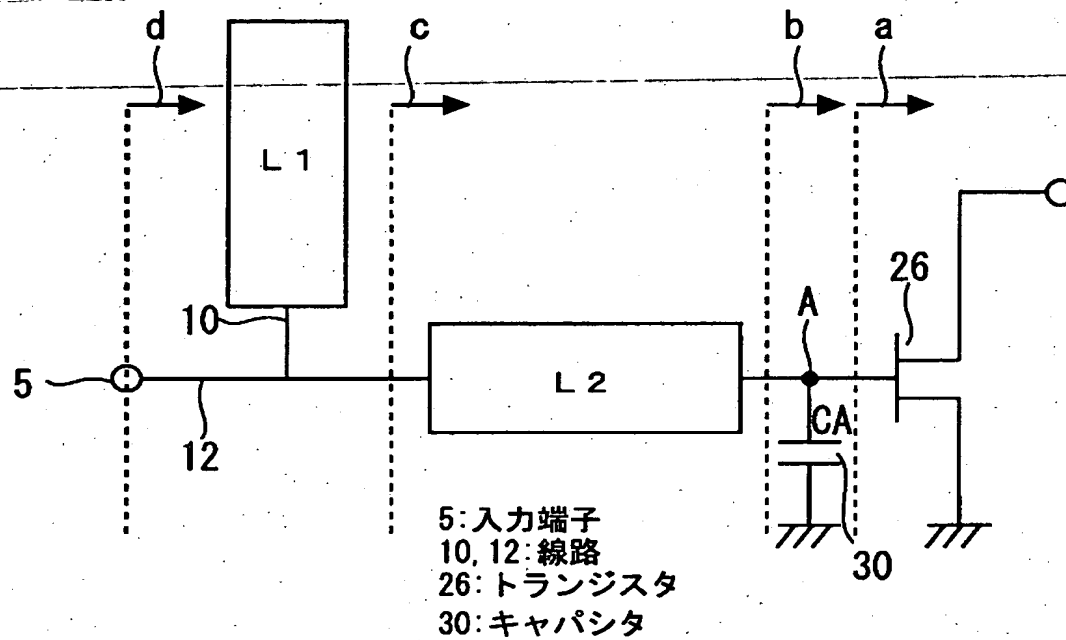
【符号の説明】

5 入力端子、 7 出力端子、 10, 12, 14 線路、 26 トランジスタ、 30, 32, 34, 36, 38 キャパシタ、 40 抵抗。

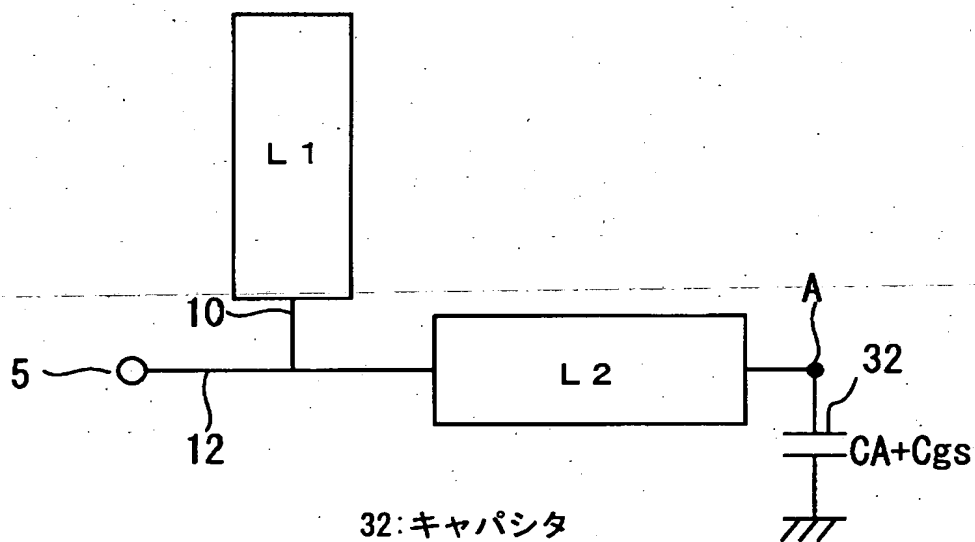
【書類名】

図面

【図 1】

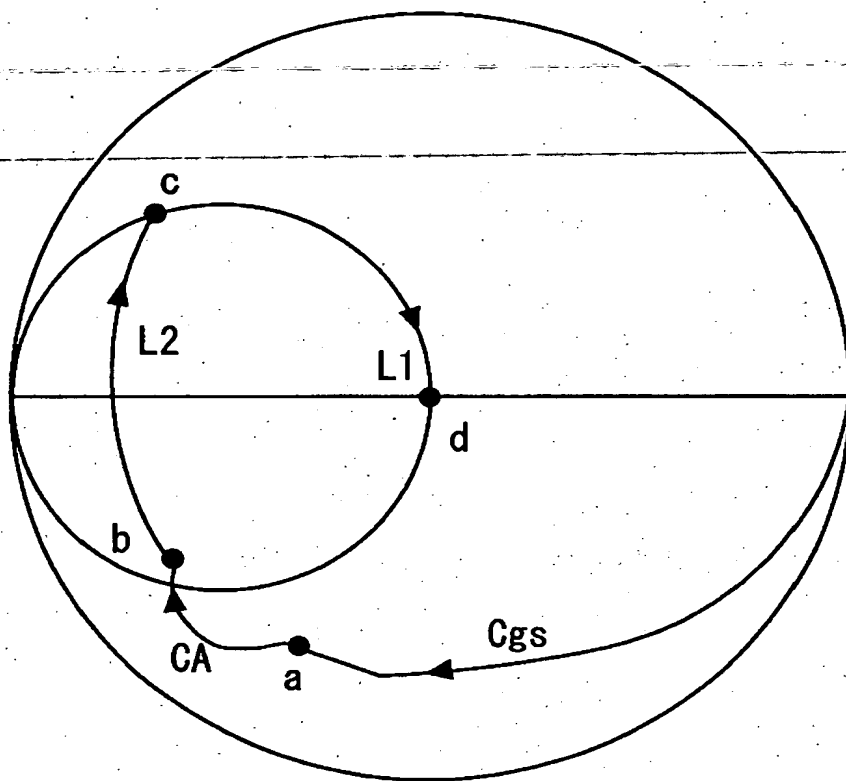


【図 2】

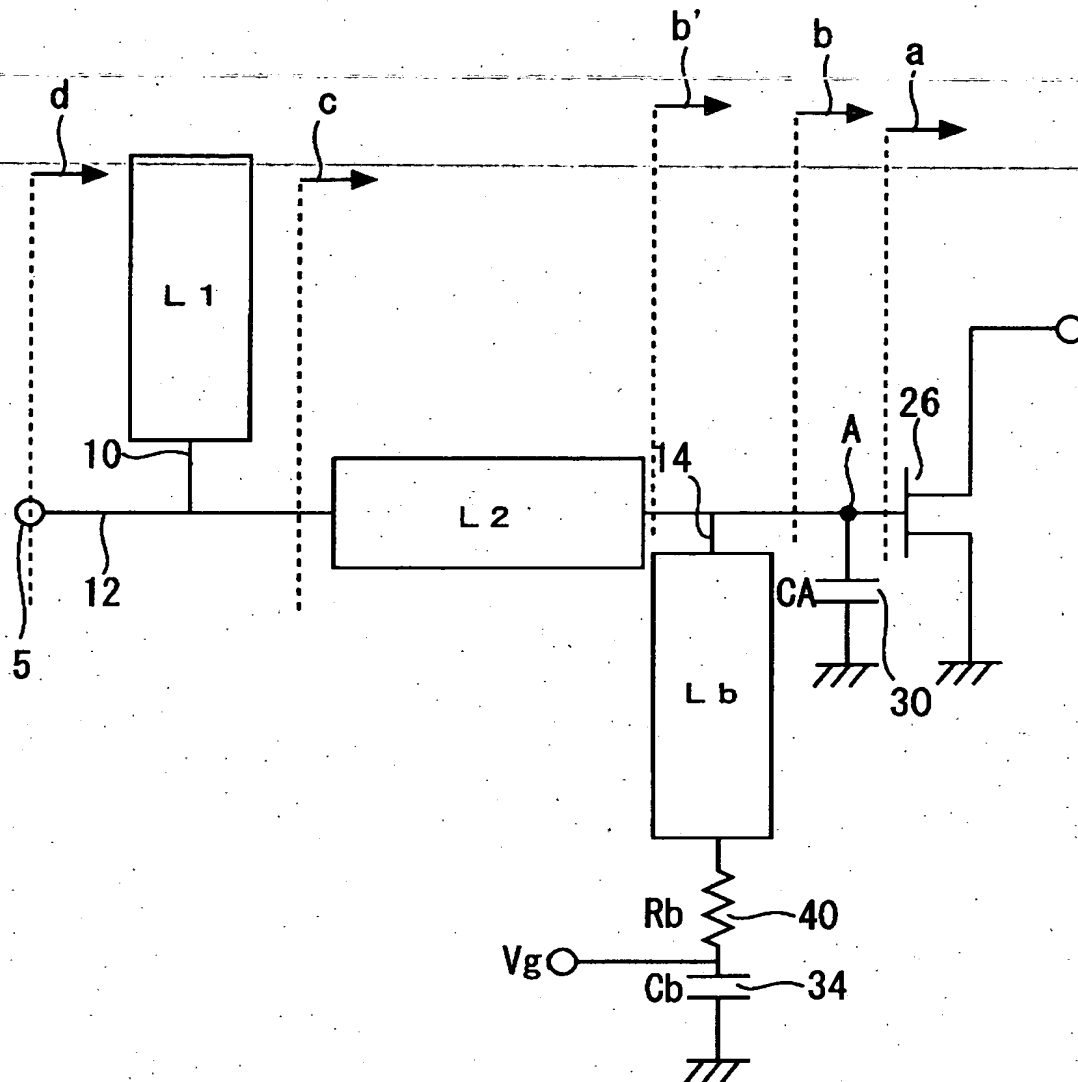




【図3】

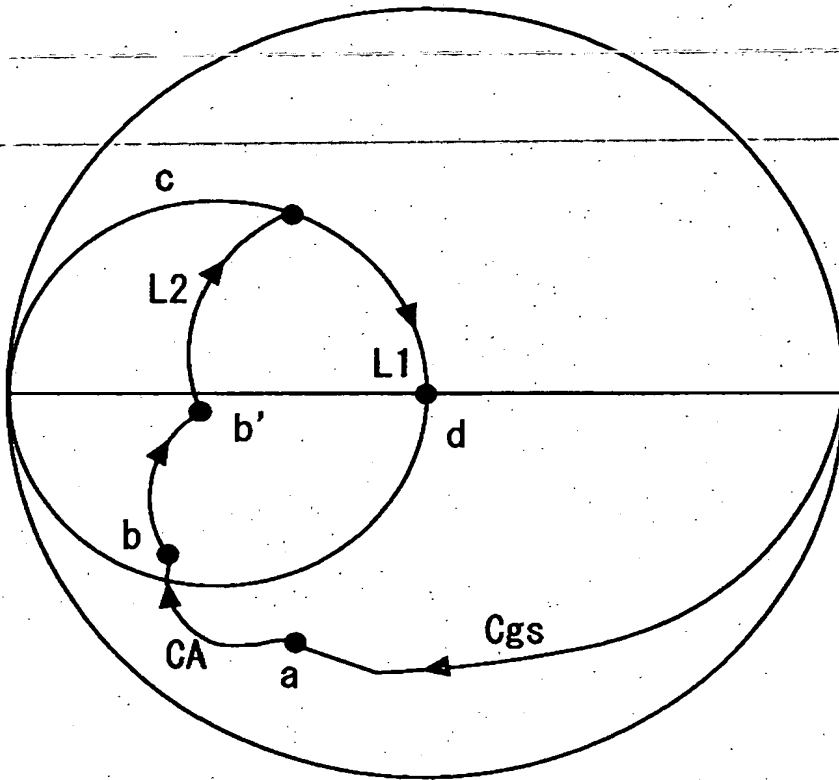


【図 4】

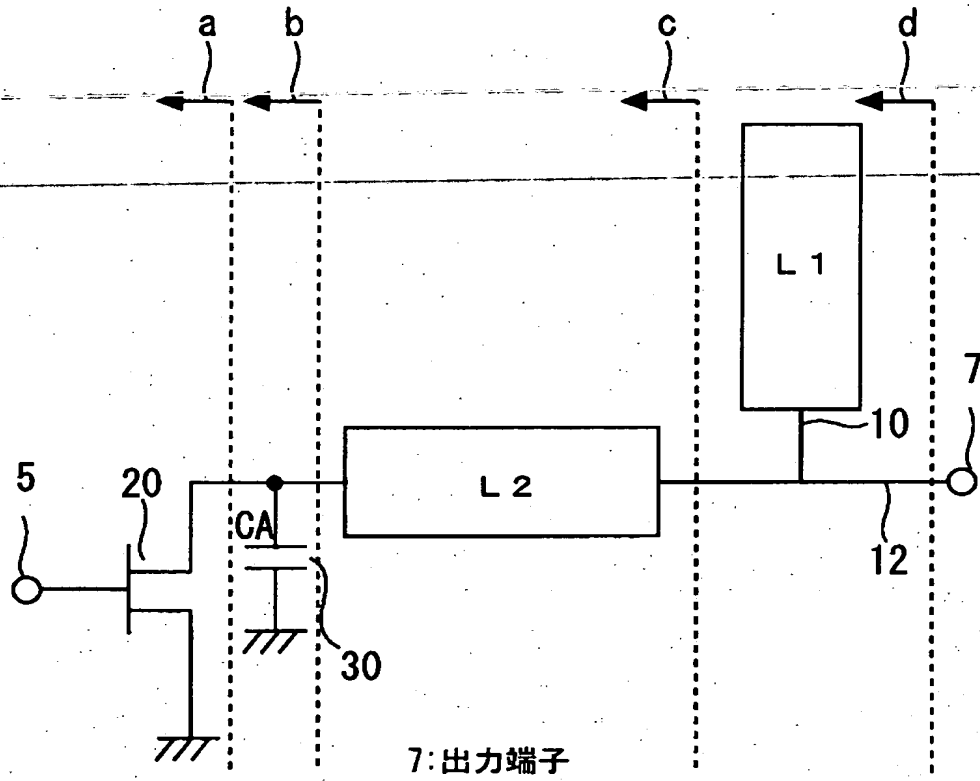


14: 線路  
34: キャパシタ  
40: 抵抗

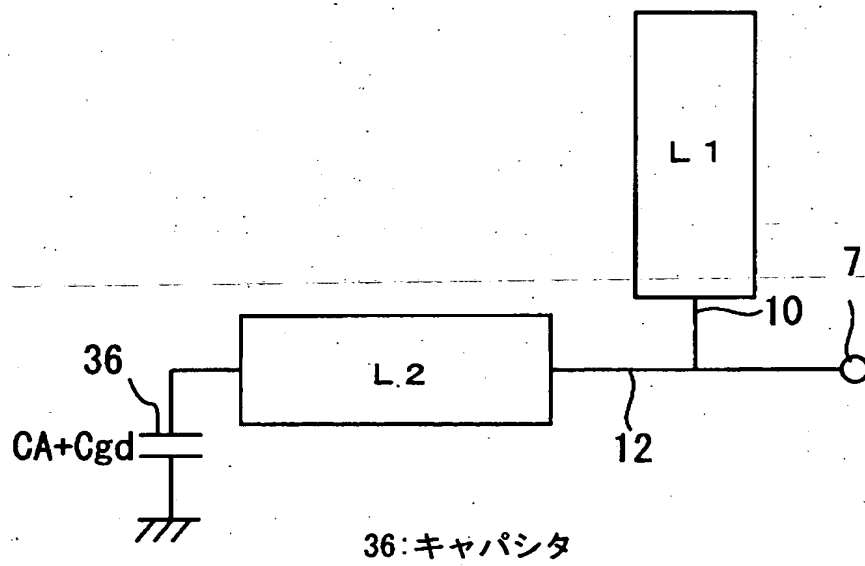
【図 5】



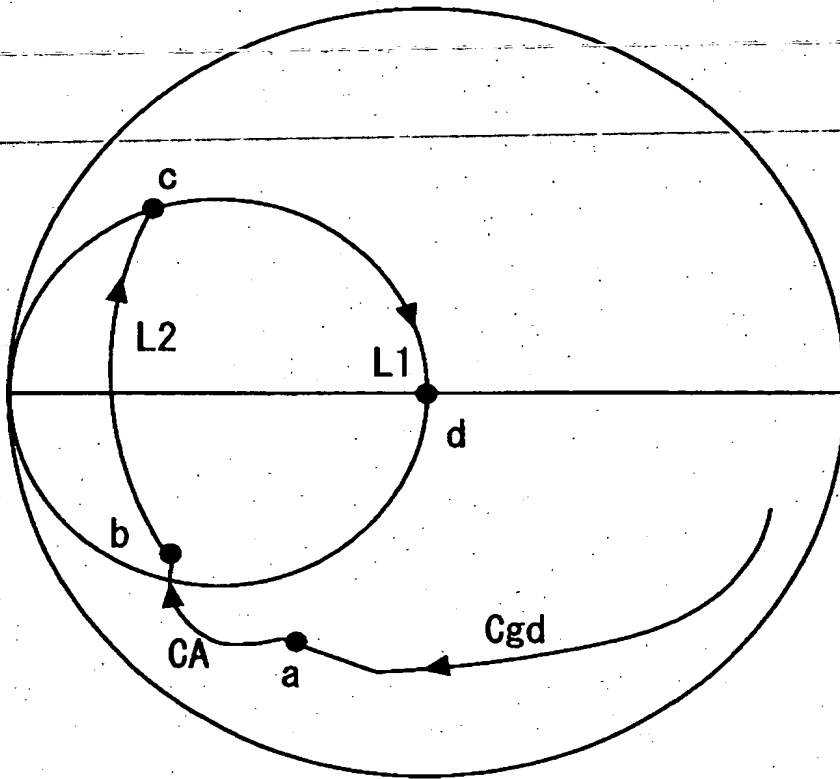
【図 6】



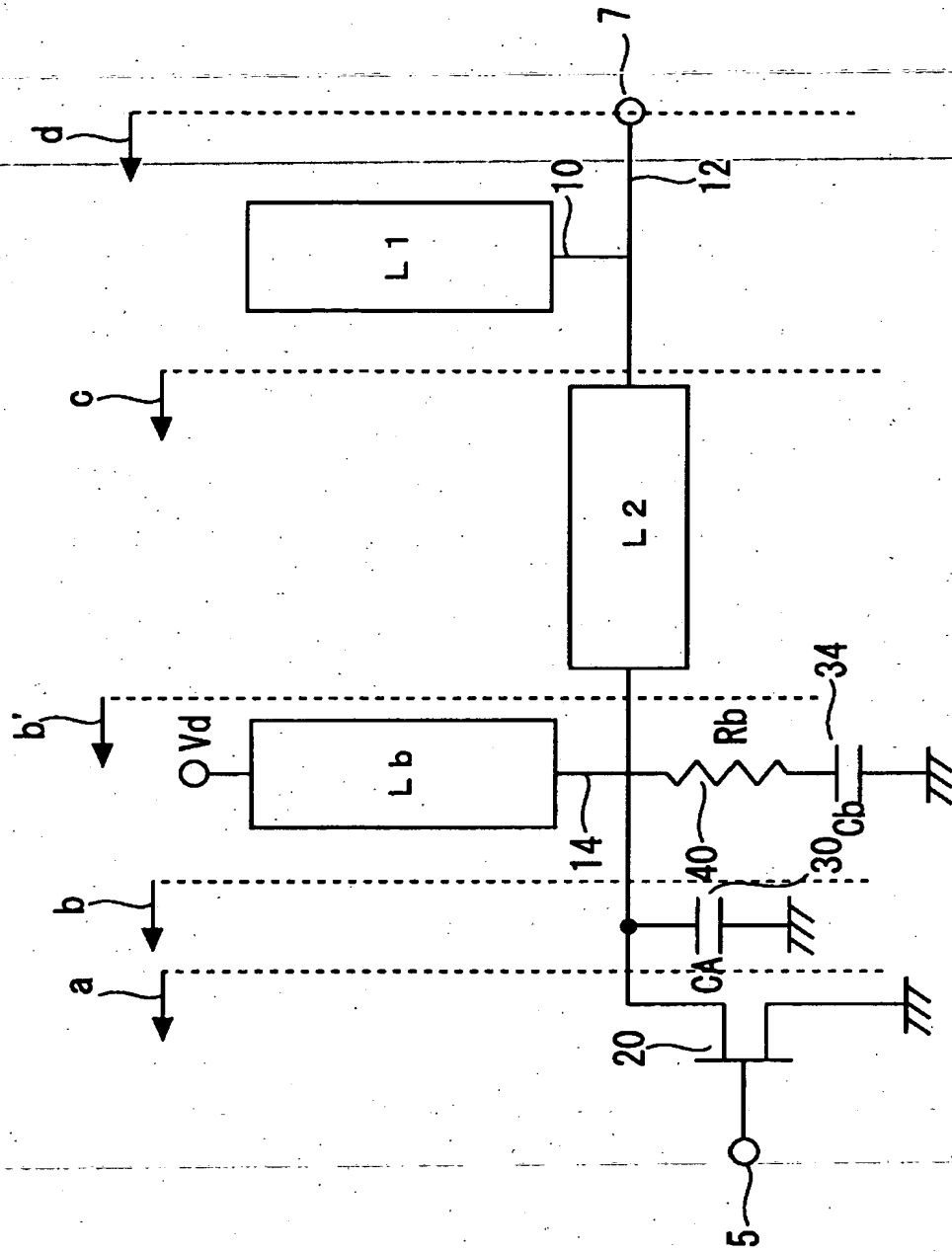
【図 7】



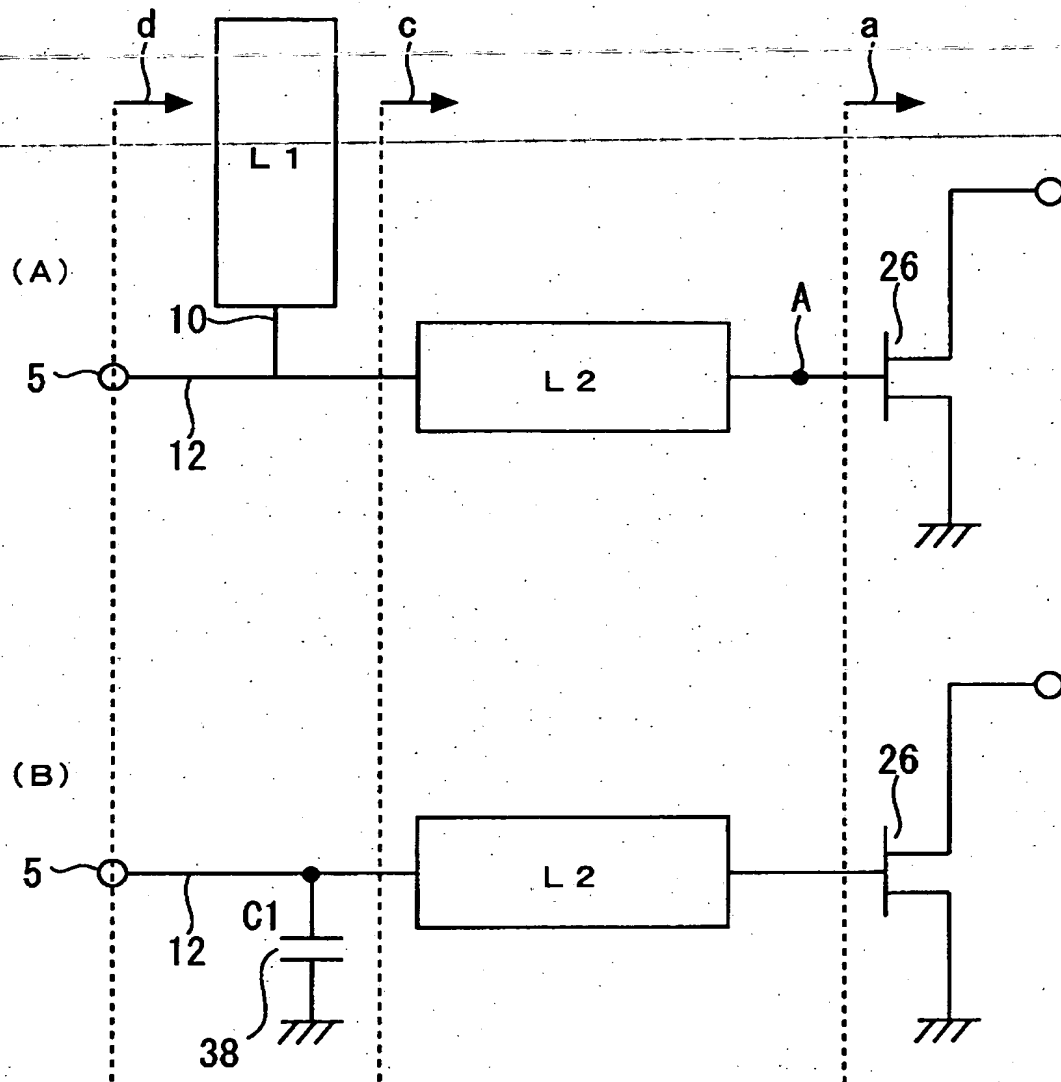
【図8】



【図9】

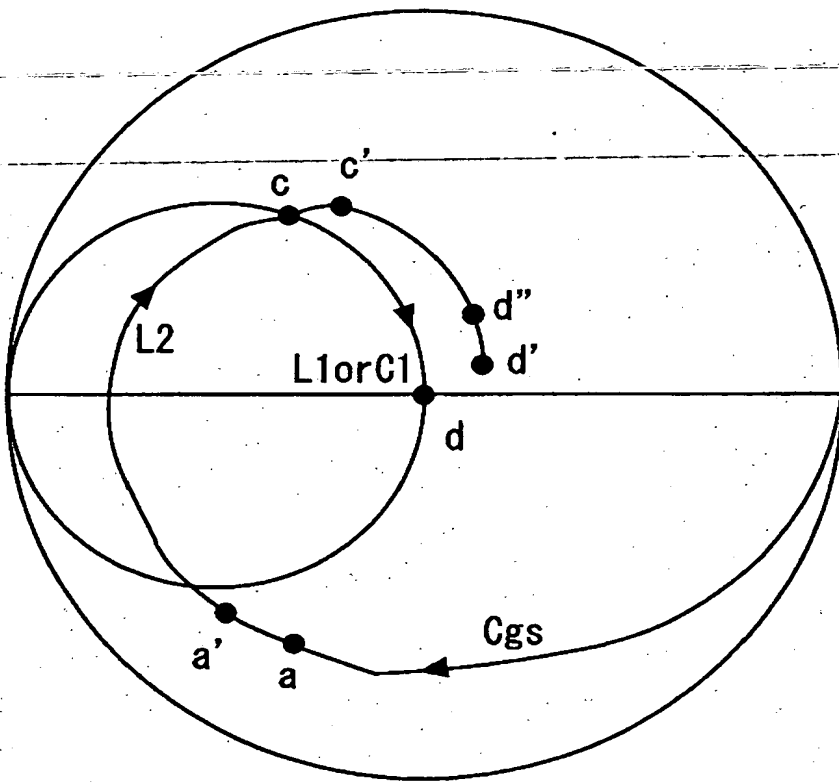


【図 10】



5:入力端子  
10, 12:線路  
26:トランジスタ  
38:キャパシタ

【図 11】





【書類名】 要約書

【要約】

【課題】 製造上のバラツキによるトランジスタの周囲のMIM絶縁膜厚Lの変動に対しても、高周波回路の出力低下、効率低下、雑音増大および周波数帯域の変動等を引き起こすことなく、トランジスタの電気的特性が製品毎に変動することのない整合回路および当該整合回路を使用した半導体装置を提供する。

【解決手段】 MIM絶縁膜厚Lの変動に対して逆の変動を示すMIM容量C1をトランジスタの入力側に挿入しトランジスタの入力容量と組み合わせることにより、MIM絶縁膜厚Lの変動を自動的に吸収することができる。すなわち、製造上のバラツキから生じるトランジスタ周囲のMIM絶縁膜厚Lの変動によるトランジスタの電気特性変動を自動的に吸収する整合回路を実現することができる。さらにバイアス回路を付加することにより、広帯域で安定な高周波回路を得ることができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社